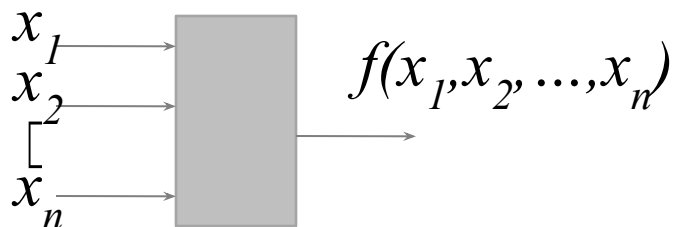


# Логические основы ЭВМ

Логические элементы и логические  
схемы

# ЛОГИЧЕСКАЯ СХЕМА

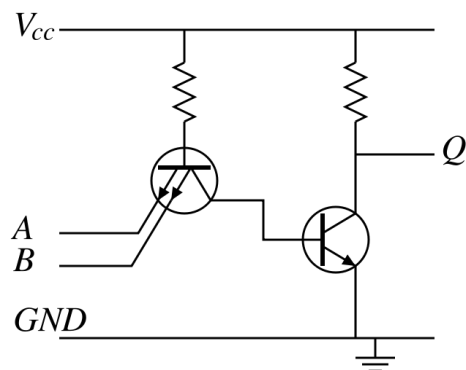
**Логическая схема** — некоторое устройство (имеет вид «черного ящика»), реализующее функции математической логики, в котором вход — набор булевых переменных, а выход — булева функция.



Логические схемы состоят из **логических элементов**, осуществляющих логические операции.

Логические элементы подразделяются и по типу использованных в них электронных элементов. Наибольшее применение в настоящее время находят следующие логические элементы:

- РТЛ (резисторно-транзисторная логика)
- ДТЛ (диодно-транзисторная логика)
- ТТЛ (транзисторно-транзисторная логика)



Упрощённая схема двухвходового элемента И-НЕ ТТЛ

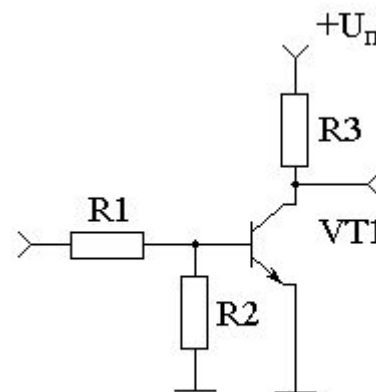


Схема простейшего логического инвертора

# ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

**Логический элемент**— это устройство, реализующее ту или иную логическую функцию.

При этом логические сигналы 0 и 1 задаются разными уровнями напряжения. Сигнал логического нуля обычно представляется низким уровнем напряжения, логической единицы — высоким.

Для изображения логических схем используются условные графические обозначения элементов, описывающие выполняемую элементами функцию.

# Стандарты условных обозначений

В настоящее время в мире существует несколько общепринятых стандартов условных обозначений. Наиболее распространенными являются *американский* стандарт **milspec 806B** и стандарт **МЭК 117-15 А**, созданный *Международной Электротехнической Комиссией*. Часто в литературе используются также обозначения в *европейской* системе **DIN 4070**. В *отечественной* литературе условные обозначения элементов в основном соответствуют **ГОСТ 2.743-82**.

# Основные логические элементы

**1. Инвертор** – логический элемент, выполняющий функцию отрицания (инверсию). У этого элемента один вход и один выход.

Если на вход поступает сигнал, соответствующий 1, то на выходе будет 0. И наоборот.

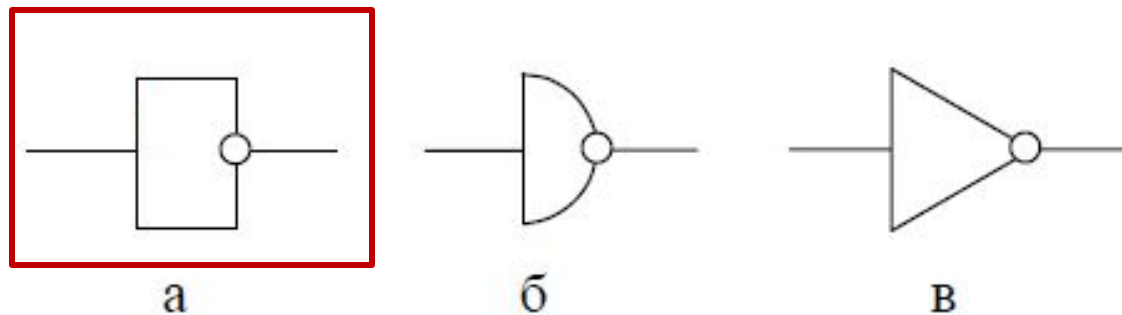


Рис 1. Условные обозначения логического элемента НЕ:  
а) по ГОСТ и стандарту МЭК, б) по стандарту DIN, в) по стандарту milspec

# Основные логические элементы

2. Логический элемент, выполняющий логическое умножение, называется *конъюнктор*. Он имеет, как минимум, два входа.

На выходе этого элемента будет сигнал 1 только в том случае, когда на все входы поступает сигнал 1. Если хотя бы на одном входе будет ноль, на выходе также будет ноль.

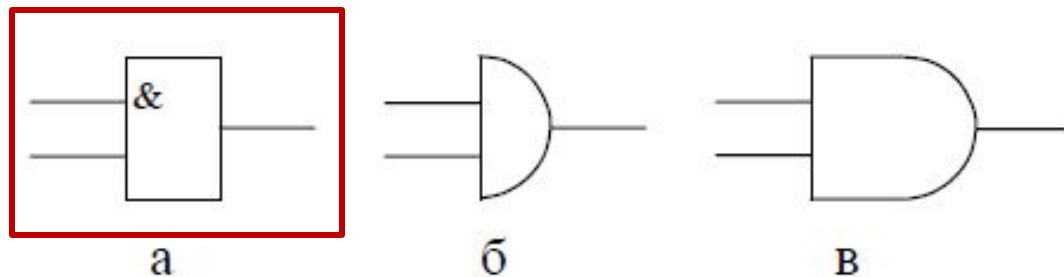


Рис. 2. Условные обозначения логического элемента И:

а) по ГОСТ и стандарту МЭК, б) по стандарту DIN, в) по стандарту milspec

# Основные логические элементы

3. Логический элемент, выполняющий логическое сложение, называется *дизъюнктор*. Он имеет, как минимум, два входа.

Если хотя бы на один вход поступает сигнал 1, то на выходе будет сигнал 1.

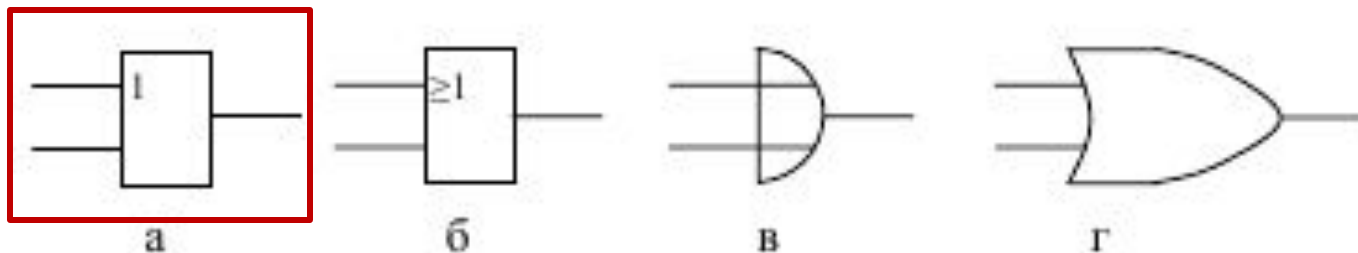
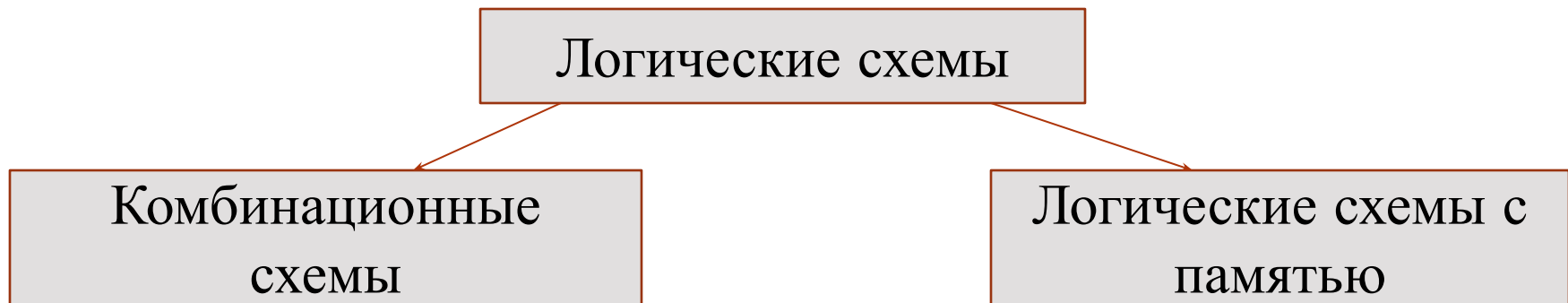


Рис. 3. Условные обозначения логического элемента ИЛИ:  
а) по ГОСТ, б) по стандарту МЭК, в) по стандарту DIN, г) по стандарту milspec



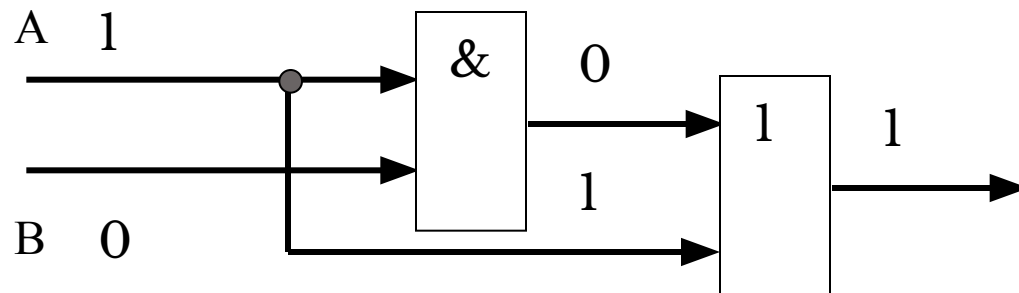


**Комбинационная схема** — это логическая схема, в которой значения выходных переменных в данный момент времени полностью определяются значениями входных переменных.

**Логическая схема с памятью** - это логическая схема значения выходных сигналов которой зависят как от входных сигналов в данный момент времени, так и от сигналов, поступивших ранее.

Построить логическую схему соответствующую логическому выражению:

$$F = A^2 + B^1 \& A$$



$$F = 1 + 0 \& 1 = 1$$

# Этапы построения функциональной схемы устройства.

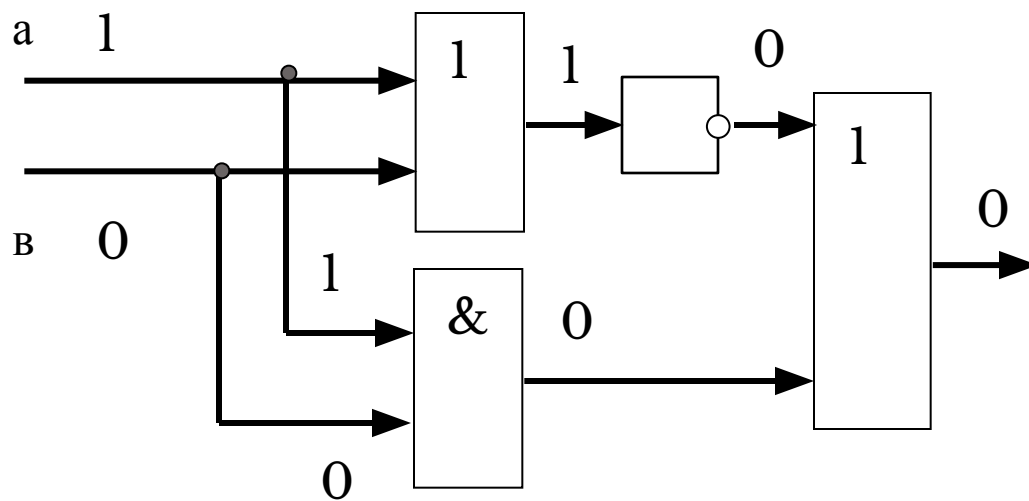
1. Построение таблицы истинности по заданным условиям работы проектируемого узла (т.е. по соответствию его входных и выходных сигналов).
2. Конструирование логической функции данного узла по таблице истинности, ее преобразование (упрощение), если это возможно и необходимо.
3. Составление функциональной схемы проектируемого узла по формуле логической функции.
4. Проверка правильности работы схемы.

Построить логическую схему соответствующую  
логическому выражению:

$$f = a^3 \& b^4 \overline{b^1 + a^2}$$

Построить логическую схему соответствующую логическому выражению:

$$f = a \overset{3}{\&} b \overset{4}{+} \overline{\overset{1}{b} \overset{2}{+} \overset{1}{a}}$$



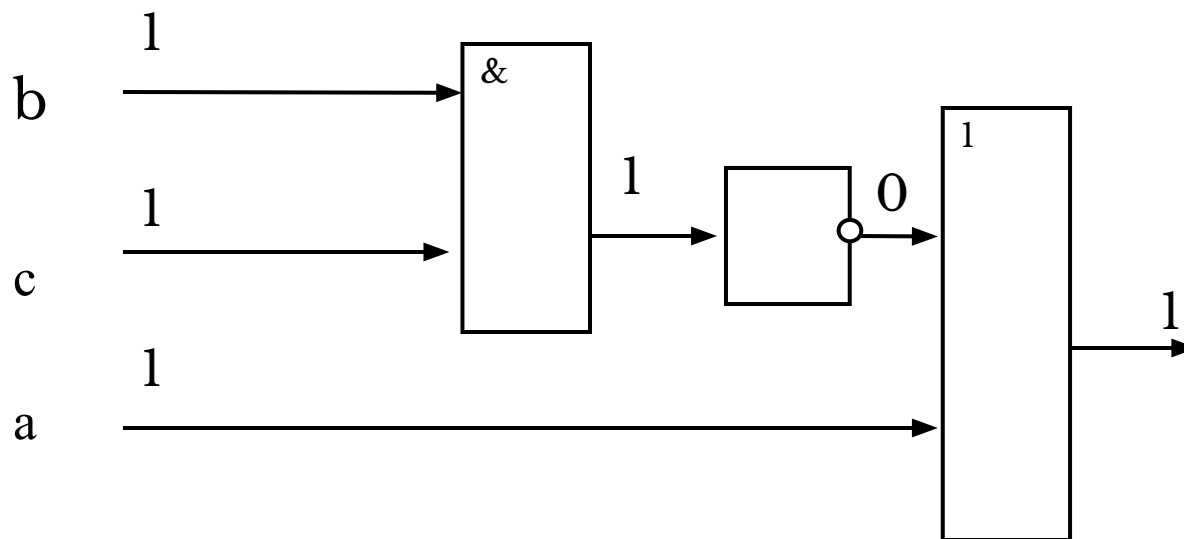
$$F = 1 \& 0 \vee (\overline{0 \vee 1}) 0$$

$$=$$

## Задание 1.

Постройте логические схемы, соответствующие логическим выражениям и выполните проверку:

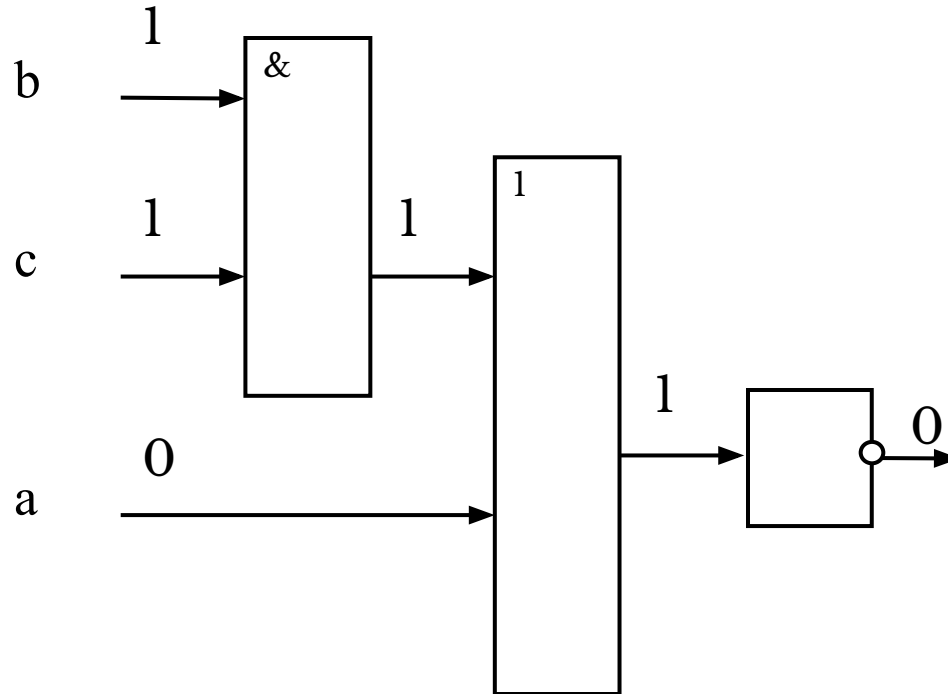
1.  $f = a \vee \overline{b \& c}$ , если  $a=1$ ,  $b=1$ ,  $c=1$ .



$$f = 1 \vee 1 \overline{\&} 1 = 1$$

$F = \overline{(a \vee b \& c)}$ , если  $a=0$ ,  $b=1$ ,  $c=1$ .

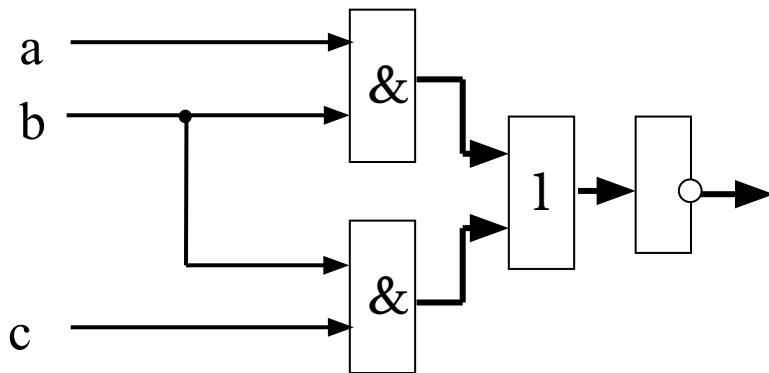
$f = \overline{(a \vee b \& c)}$ , если  $a=0$ ,  $b=1$ ,  $c=1$ .



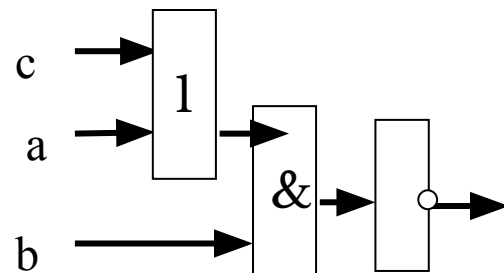
$$F = \overline{(0 \vee 1 \& 1)} = 0$$



Составить логическое выражение по соответствующей логической схеме



$$F = \overline{(a \& b \vee b \& c)}$$



$$F = \overline{b \& (a \vee c)}$$

# Домашнее задание

Построить логические схемы по формулам:

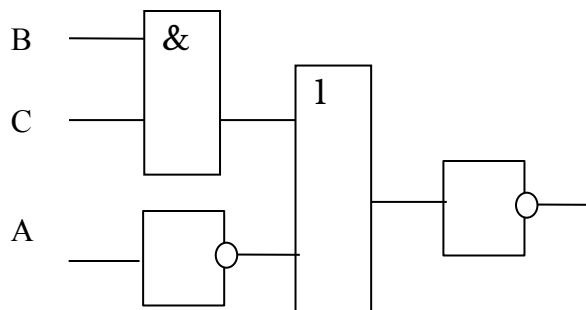
$F = (\overline{a} \vee b) \& c$ , если  $a=1, b=0, c=1$ ;

$f = (a \vee b) \& (c \vee b)$ , если  $a=0, b=1, c=0$ ;

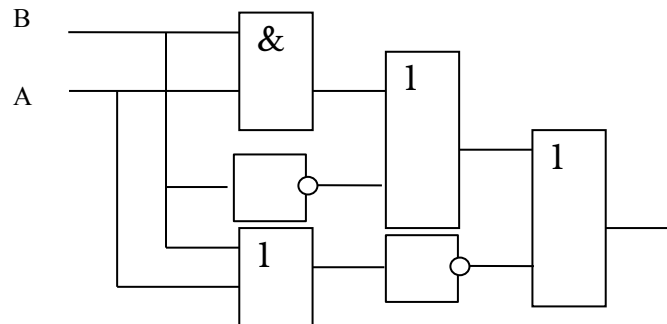
$f = (a \& \overline{b} \& \overline{c})$ , если  $a=0, b=0, c=1$ .

Составить логические выражения по схемам:

а)



б)



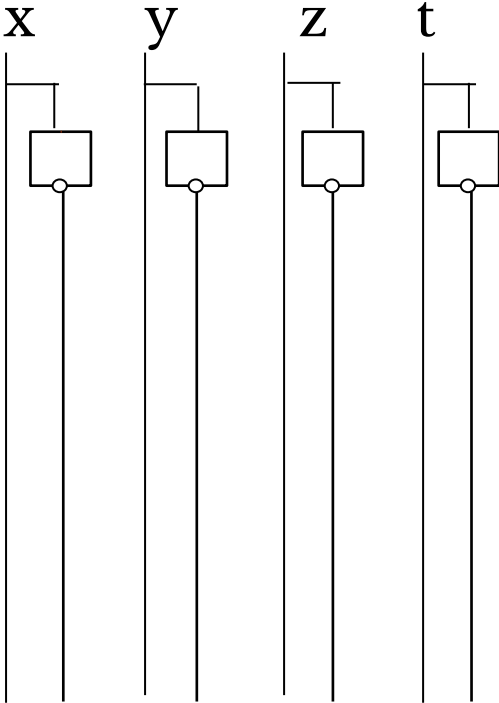
Построить логическую схему для функции  $f(x,y,z,t)$

$x$	$y$	$z$	$t$	$f$
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

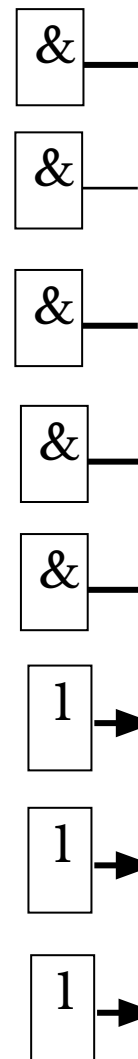
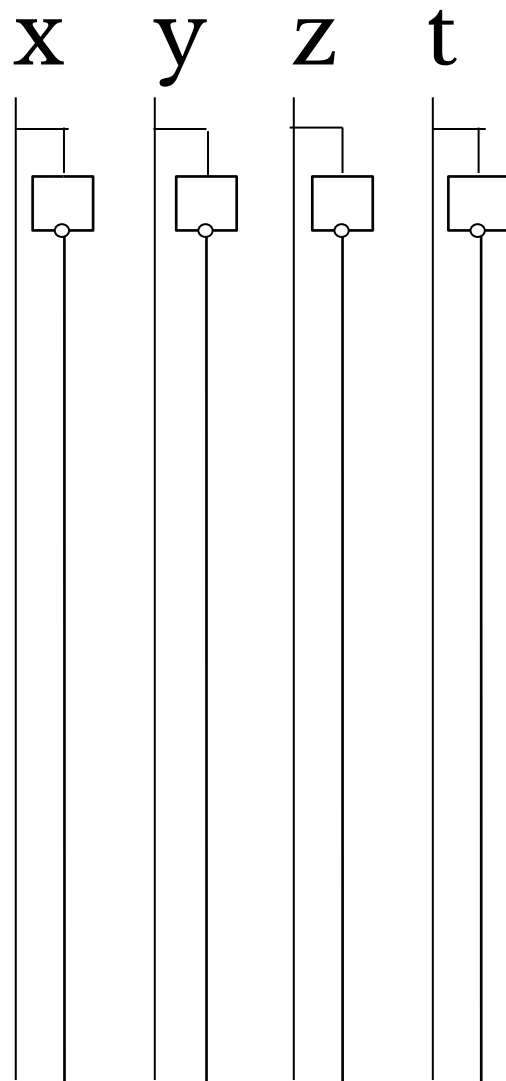
$f(x,y,z,t)=$

$\bar{x}\bar{y}$	$\bar{x}y$	$xy$	$x\bar{y}$

$\bar{z}$   
 $t$   
 $z$   
 $t$   
 $z$   
 $t$



$x$	$y$	$z$	$t$	$f$
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	



# Элемент Пирса

Логический элемент, реализующий логическую функцию «стрелка Пирса», называется *элемент Пирса*. Он имеет, как минимум, два входа.

Если хотя бы на один вход поступает сигнал 1, то на выходе будет сигнал 0.

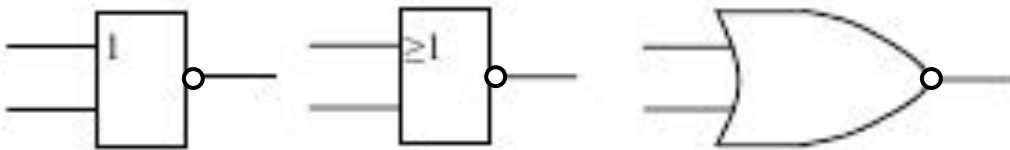


Рис . Условные обозначения логического элемента ИЛИ-НЕ

# Реализация конъюнкции, дизъюнкции, отрицания

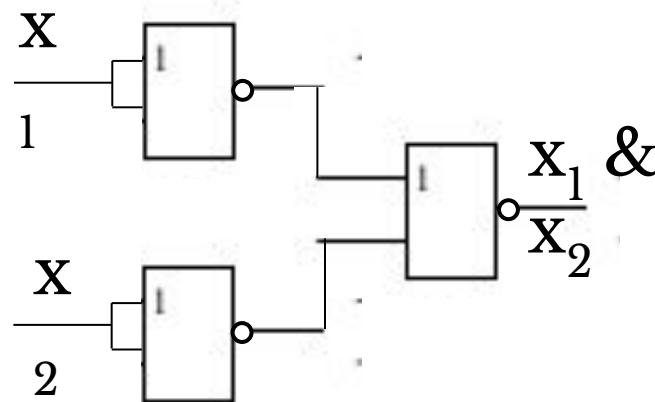
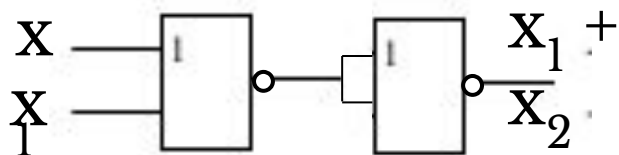
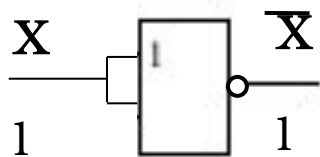
$x_1$	$x_2$	$x_1 \downarrow x_2$
0	0	1
0	1	0
1	0	0
1	1	0

на элементах Пирса

$$\overline{x_1} = x_1 \downarrow x_1$$

$$x_1 \& x_2 = \overline{\overline{x_1 \& x_2}} = \overline{\overline{x_1} + \overline{x_2}} = \overline{\overline{x_1} \downarrow \overline{x_2}} = (x_1 \downarrow x_1) \downarrow (x_2 \downarrow x_2)$$

$$x_1 + x_2 = \overline{\overline{x_1 + x_2}} = \overline{\overline{x_1} \downarrow \overline{x_2}} = (x_1 \downarrow x_1) \downarrow (x_2 \downarrow x_2)$$



# Элемент Шеффера

Логический элемент, реализующий логическую функцию «штрих Шеффера», называется *элемент Шеффера*. Он имеет, как минимум, два входа.

Если хотя бы на один вход поступает сигнал 0, то на выходе будет сигнал 1.

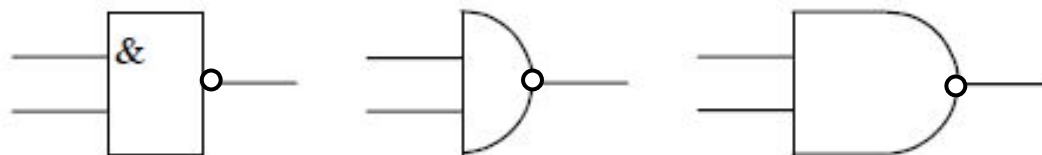


Рис . Условные обозначения логического элемента И-НЕ

# Реализация конъюнкции, дизъюнкции, отрицания

на элементах Шеффера

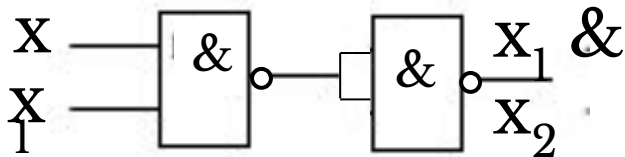
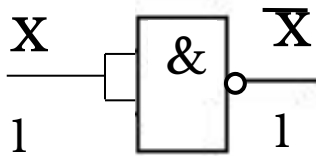
$x_1$	$x_2$	$x_1   x_2$
0	0	1
0	1	1
1	0	1
1	1	0

$$x_1 | x_2 = x_1 + x_2 \quad \text{или} \quad x_1 | x_2 = \overline{x_1 \& x_2}$$

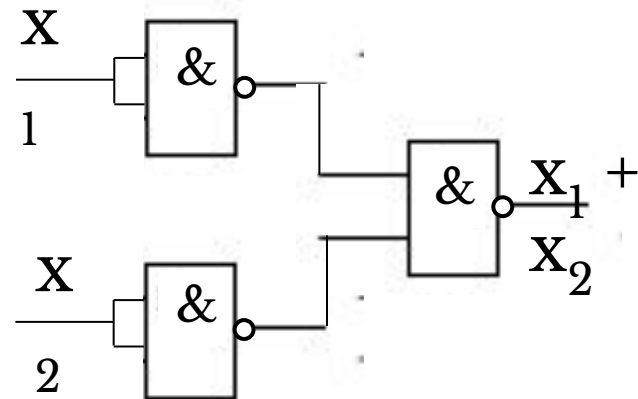
$$\overline{x_1} = \overline{x_1 \& x_1} = x_1 | x_1$$

$$x_1 \& x_2 = \overline{\overline{x_1 \& x_2}} = \overline{(x_1 | x_2) | (x_1 | x_2)}$$

$$x_1 + x_2 = \overline{\overline{x_1 + x_2}} = \overline{(x_1 | x_1) | (x_2 | x_2)}$$



2





# Логический элемент ИСКЛ-ИЛИ

- Логический элемент, реализующий логическую функцию **Сложение по модулю 2 (Исключающее ИЛИ, неравнозначность)** называется *элемент Исключающее ИЛИ*. Он имеет, как минимум, два входа.
- Если сигнал 1 поступает на четное количество входов, то на выходе будет сигнал 0.
- Если сигнал 1 поступает на нечетное количество входов, то на выходе будет сигнал 1.

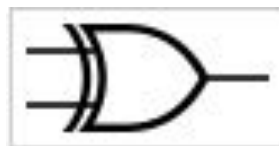
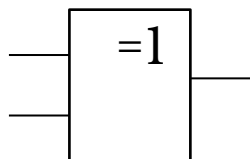


Рис . Условные обозначения логического элемента ИЛИ-НЕ

# Логические основы ЭВМ

Функциональные схемы основных  
узлов ЭВМ.

# Функциональные схемы основных узлов ЭВМ.

---

Сумматор

# Сумматор

**Двоичными сумматорами** называют логические устройства, выполняющие операцию сложения двух чисел, представленных в двоичном коде.

В цифровых устройствах применяются одноразрядные суммирующие схемы на два и три входа, причем первую называют **полусумматором**, вторую - **полным одноразрядным сумматором**.

Полусумматор применяется для выполнения сложения только в разряде с весом  $2^0$  (в разряде единиц).

# Полусумматор

Таблицу истинности полусумматора можно получить из правил суммирования двоичных чисел.

Обозначения:

- Входы  $A$  и  $B$  - одноразрядные числа, стоящие в разряде единиц;
- Выходы:  $S$  – сумма;  $P$  - перенос в следующий разряд;

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \bar{A}B + A\bar{B}$$
$$P = AB$$

# Полусумматор

Построим схему полусумматора на инверторах, конъюнкторах, дизъюнкторах.

$$S = \overline{A}B + A\overline{B}$$

$$P = A \& B$$

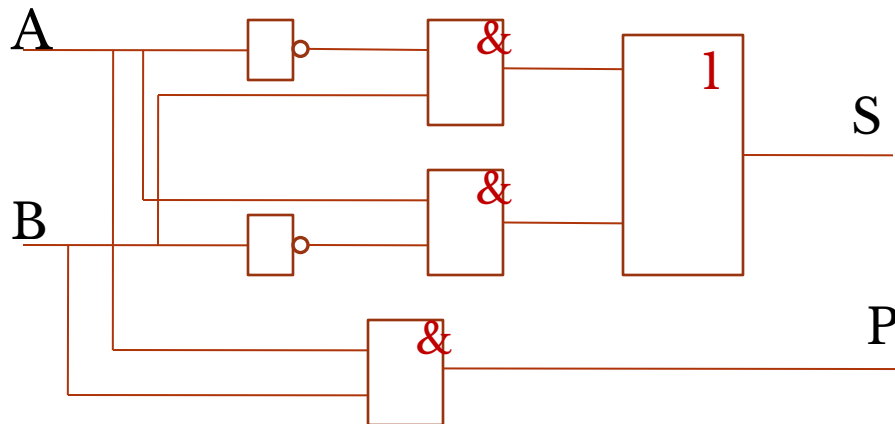
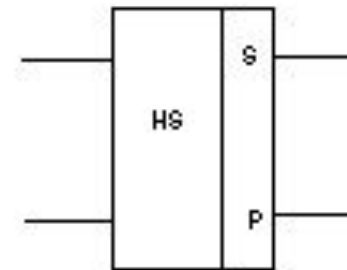


Схема полусумматора



Условное графическое изображение полусумматора

# Полный одноразрядный сумматор

Для суммирования во всех двоичных разрядах (за исключением разряда единиц) используются полные одноразрядные сумматоры.

Они имеют три входа:

- $A$  и  $B$  - одноразрядные числа;
- $P_I$  - перенос из предыдущего разряда ( $I$  - сокращение от input – вход).

И два выхода:

- $S$  – сумма;
- $P_O$  – перенос в следующий разряд ( $O$  - сокращение от output – выход).

# Полный одноразрядный сумматор

A	B	P <sub>I</sub>	S	P <sub>o</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = \bar{A}\bar{B}P_I + \bar{A}BP_I + A\bar{B}P_I + ABP_I$$

$$P_o = \bar{A}\bar{B}P_I + \bar{A}BP_I + A\bar{B}P_I + ABP_I$$

$\bar{P}_I$

		1	
	1	1	1

$P_I$

$$P_o = \bar{A}\bar{B} + AP_I + BP_I$$

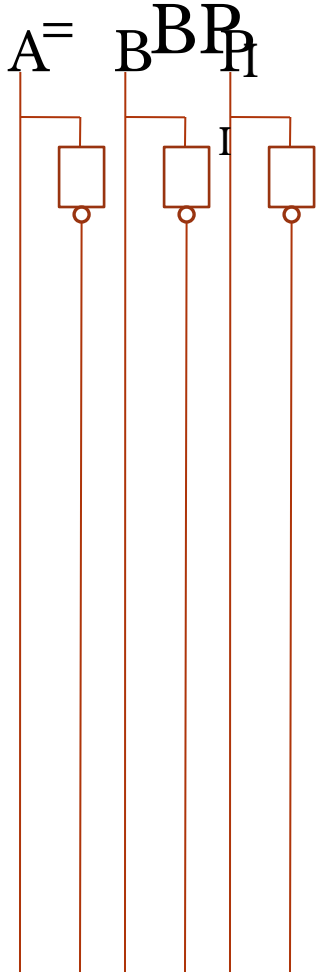
Построим схему полного одноразрядного сумматора на инверторах, конъюнкторах, дизъюнкторах.



# Полный одноразрядный сумматор

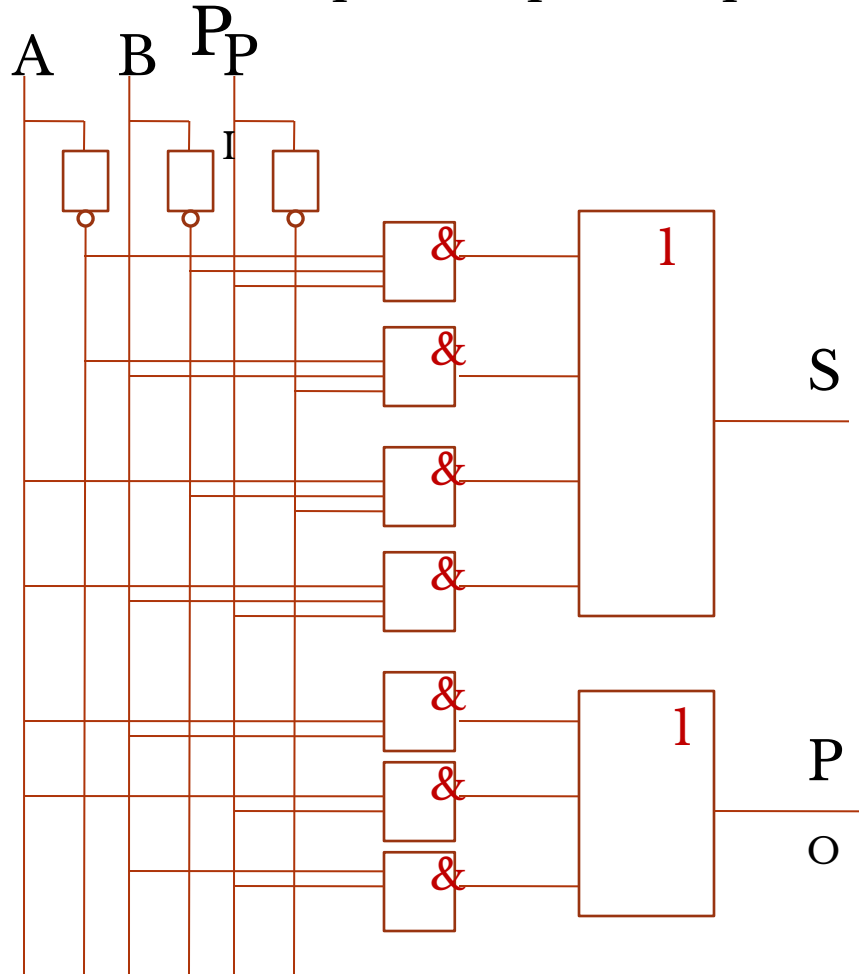
$$S = \bar{A}\bar{B}P_I + \bar{A}BP_I + A\bar{B}P_I + ABP_I$$

$$P = AB + AP_I + BP_I$$

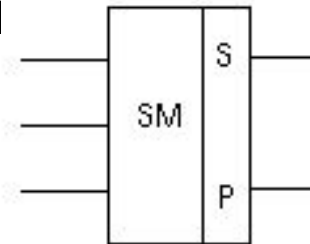


# Полный одноразрядный сумматор

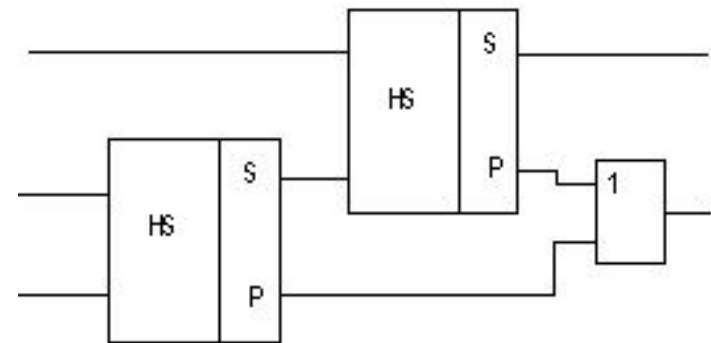
$$S = \bar{A}\bar{B}P_I + \bar{A}B\bar{P}_I + A\bar{B}P_I + AB$$



$$P = AB + AP_I + BP_I$$

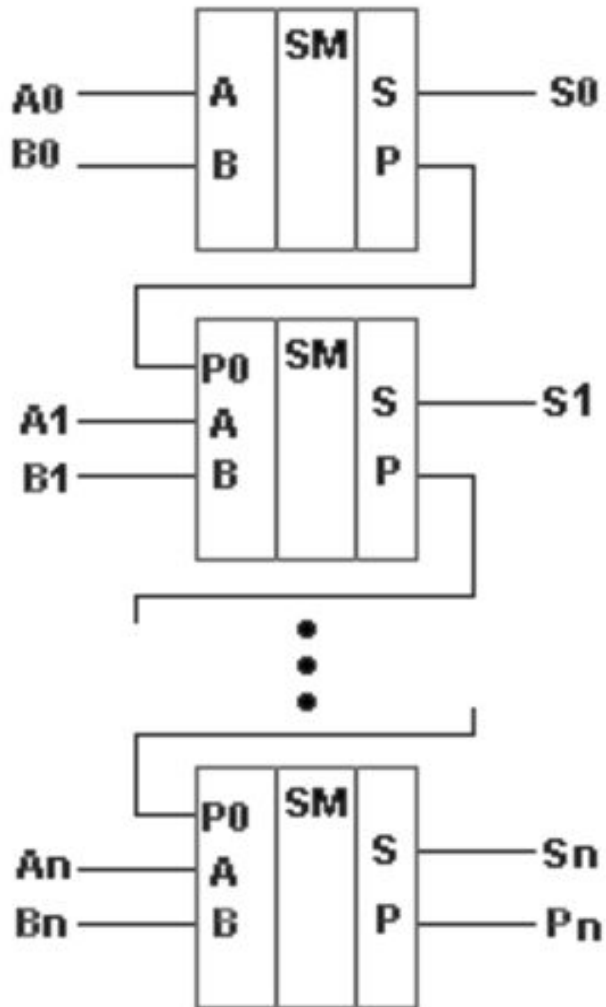


Условное графическое изображение одноразрядного сумматора



Одноразрядный сумматор на основе полусумматоров

# Многоразрядный сумматор

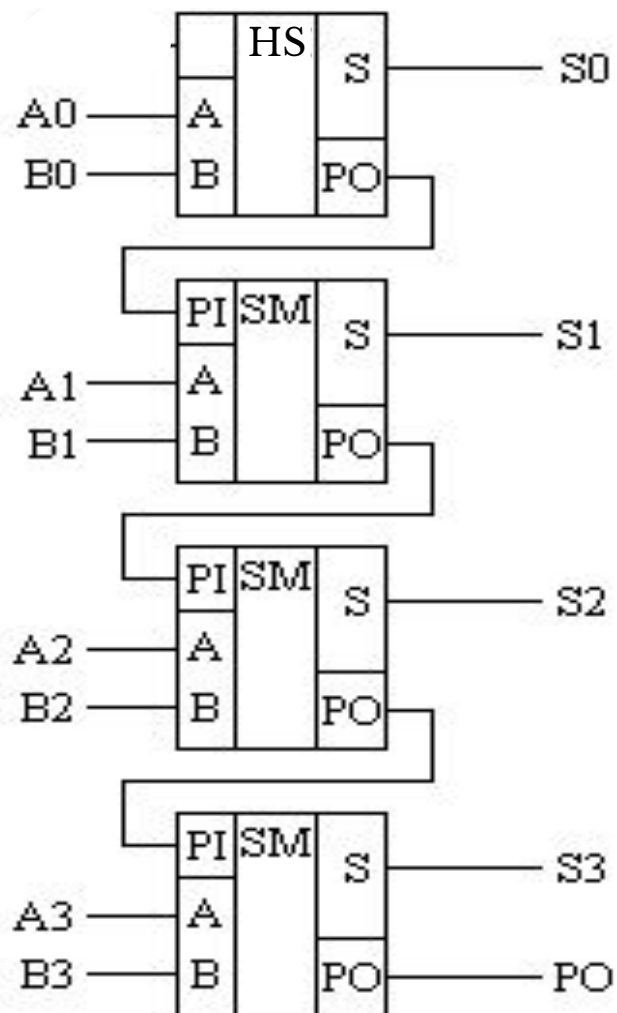


Определенным образом соединяя полусумматоры и полные одноразрядные сумматоры друг с другом, получают устройства, одновременно выполняющие сложение нескольких двоичных разрядов — **многоразрядные сумматоры.**

Полный двоичный  $n$ -разрядный сумматор

# Многоразрядный сумматор

Определенным образом соединяя полусумматоры и полные одноразрядные сумматоры друг с другом, получают устройства, одновременно выполняющие сложение нескольких двоичных разрядов — **многоразрядные сумматоры.**



Полный двоичный четырехразрядный сумматор

# Функциональные схемы основных узлов ЭВМ.

---

Шифраторы и дешифраторы

# Дешифратор

Десятичная	Двоичная	Восьмеричная	Шестнадцатеричная
0	0000	0	0
1	0001	1	1
2	0010	2	2
3	0011	3	3
4	0100	4	4
5	0101	5	5
6	0110	6	6
7	0111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

# Дешифратор

$$y_0 = \bar{x}_0 \bar{x}_1 \bar{x}_2$$

$$y_1 = x_0 \bar{x}_1 \bar{x}_2$$

$$y_2 = \bar{x}_0 x_1 \bar{x}_2$$

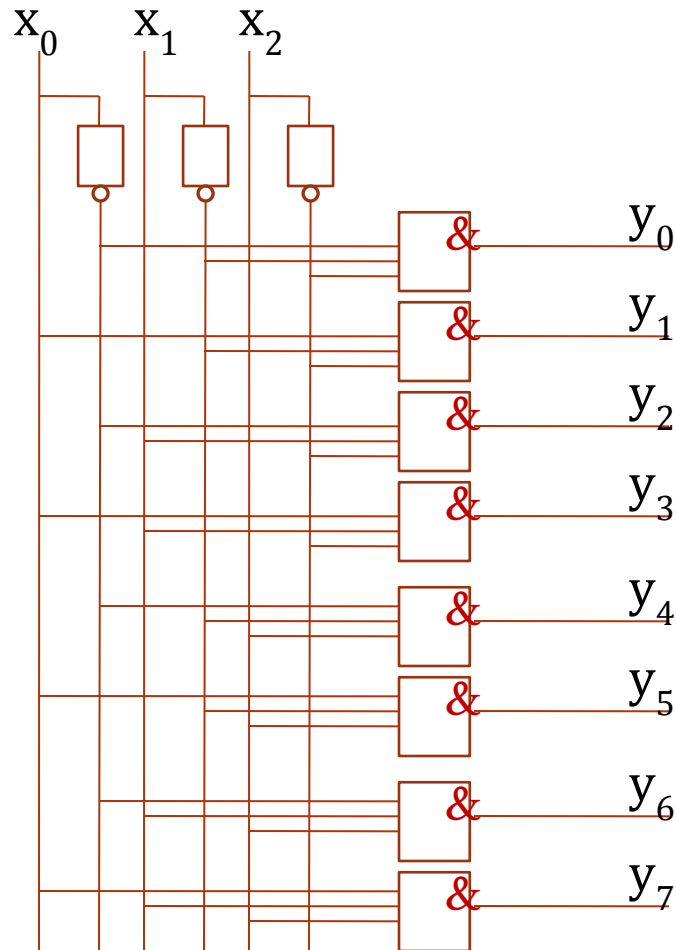
$$y_3 = x_0 x_1 \bar{x}_2$$

$$y_4 = \bar{x}_0 \bar{x}_1 x_2$$

$$y_5 = x_0 \bar{x}_1 x_2$$

$$y_6 = \bar{x}_0 x_1 x_2$$

$$y_7 = x_0 x_1 x_2$$



# Функциональные схемы основных узлов ЭВМ.

---

Триггер



# Триггеры

Триггер — логическая схема с памятью.

Термин «триггер» происходит от английского слова trigger — защелка, спусковой крючок.

**Триггер** — электронное устройство, с помощью которого можно записывать, хранить и считывать двоичную информацию.

Триггер широко применяется в регистрах компьютера для запоминания одного разряда двоичного кода.

# Триггеры

Триггер имеет **два устойчивых состояния**, одно из которых соответствует логической единице, а другое – логическому нулю.

Под воздействием сигналов, подаваемых на входы, триггер **скачкообразно** переходит из одного устойчивого состояния в другое.

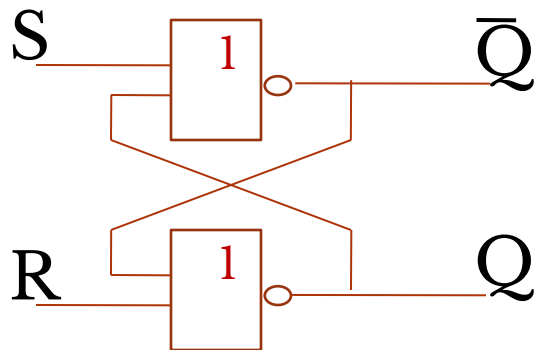
# Триггеры

Если хотя бы с одного входа информация в триггер заносится принудительно под воздействием синхронизирующего сигнала, то триггер называется **синхронизируемым**.

Если занесение информации в триггер с любого входа производится без синхронизирующего сигнала, то триггер называется **асинхронным**.

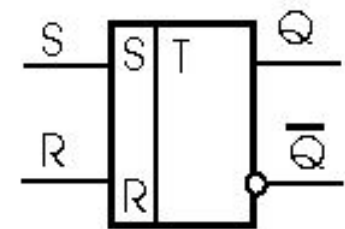
# Асинхронный RS-триггер

$x_1$	$x_2$	$x_1 \downarrow x_2$
0	0	1
0	1	0
1	0	0
1	1	0



S- (Set) - установка  
 R- (Reset) - сброс  
 Q- прямой выход  
 $\bar{Q}$ - инверсный выход

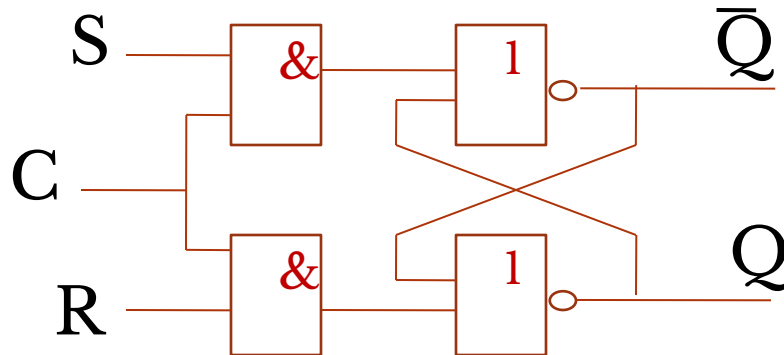
Вход		Выход		Режим работы
S	R	Q	$\bar{Q}$	
0	0	Q	$\bar{Q}$	Хранение
1	0	1	0	Запись 1
0	1	0	1	Запись 0
1	1	-	-	Запрещенное состояние



Условное графическое изображение

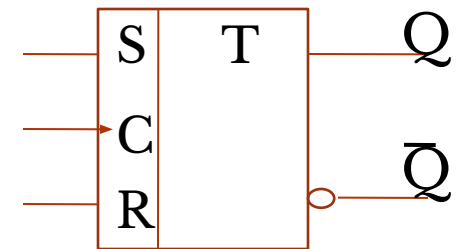
# Однотактный синхронизируемый RS-триггер

На элементах Пирса



x	y	$x \downarrow y$
0	0	1
0	1	0
1	0	0
1	1	0

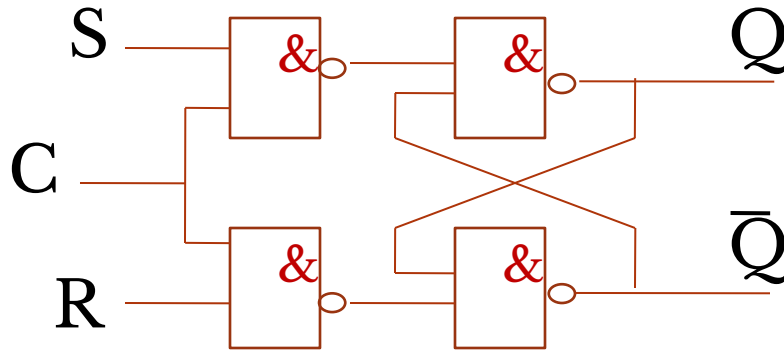
C	S	R	Q	$\bar{Q}$	Режим работы
0	$\forall$	$\forall$	Q	$\bar{Q}$	Хранение предыдущего состояния
1	1	0	1	0	Запись 1
1	0	1	0	1	Запись 0
1	1	1	-	-	Запрещенное состояние



Условное графическое изображение

# Однотактный синхронизируемый RS-триггер

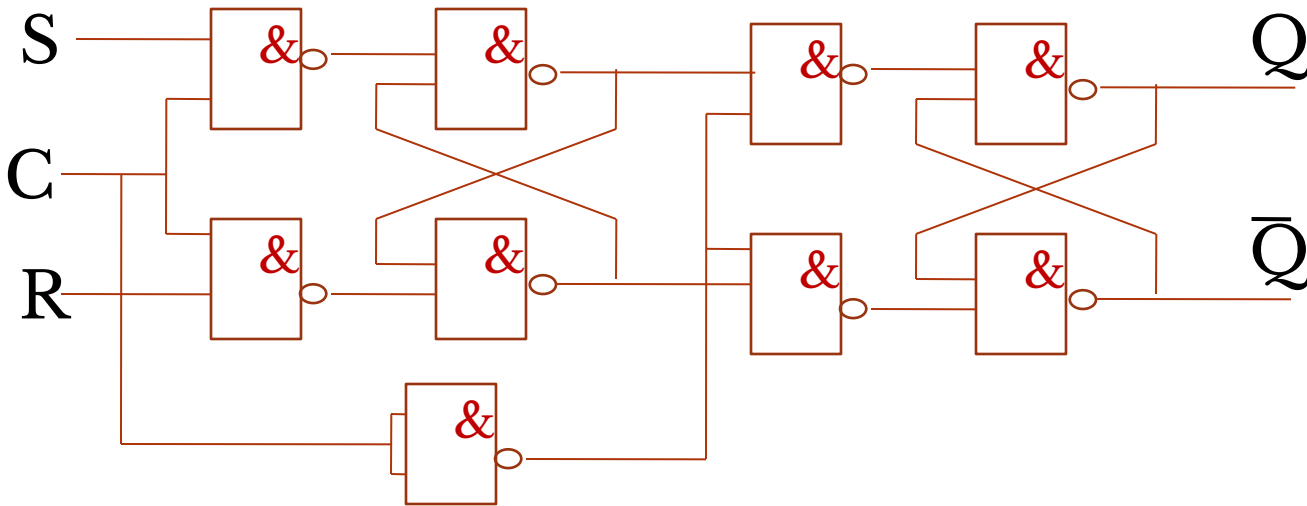
На элементах Шеффера



x	y	x'y
0	0	1
0	1	1
1	0	1
1	1	0

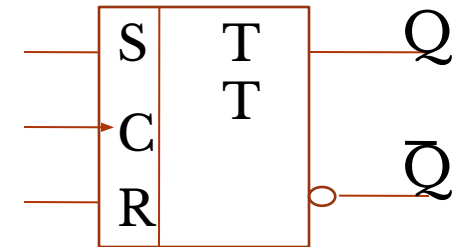
C	S	R	Q	$\bar{Q}$	Режим работы
0	$\forall$	$\forall$	Q	$\bar{Q}$	Хранение предыдущего состояния
1	1	0	1	0	Запись 1
1	0	1	0	1	Запись 0
1	1	1	-	-	Запрещенное состояние

# Двухтактный синхронизируемый RS-триггер

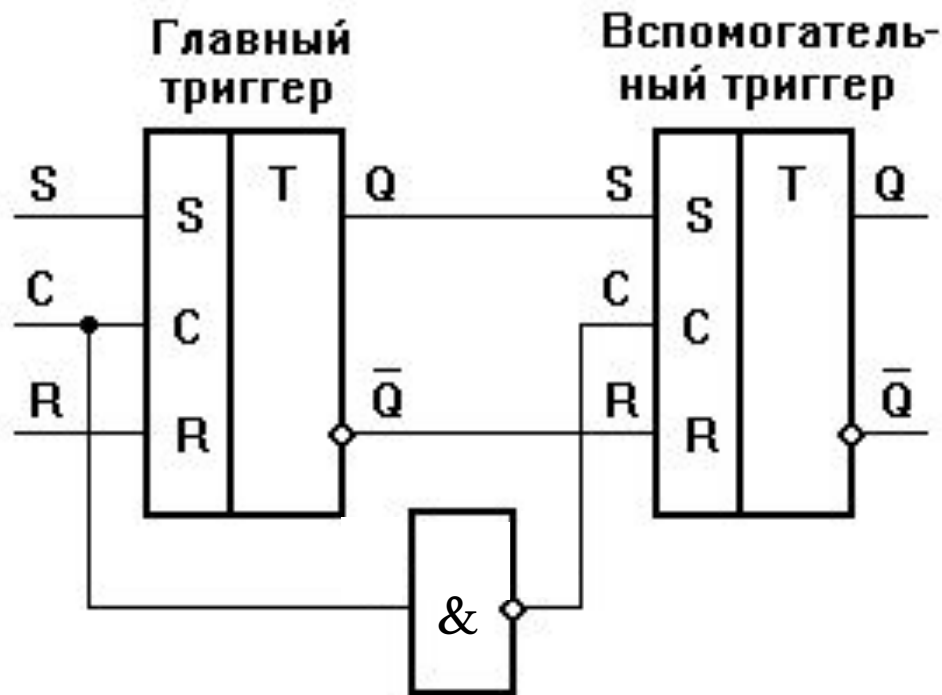


C	S	R	Q'	$\bar{Q}$	Q	Режим работы
1	1	0	1	0	Q	Хранение
0	1	0	1	1	1	Запись 1
1	0	1	0	0	1	Хранение 1
0	0	1	0	1	0	Запись 0

1 такт                      2 такт



# Двухтактный синхронизируемый RS-триггер



Двухтактный RS-триггер состоит из двух триггеров: главного и вспомогательного.

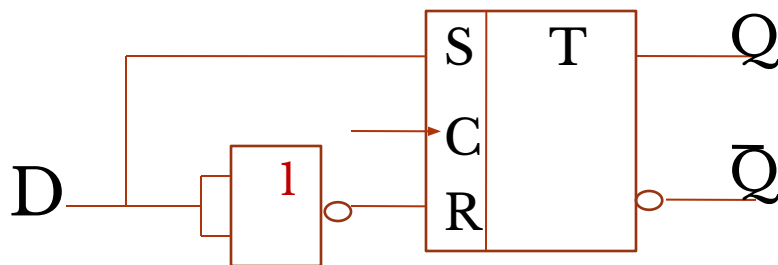
По окончании синхронизирующего (тактового) импульса вспомогательный триггер переписывает информацию с выхода главного триггера.



# Другие виды триггеров

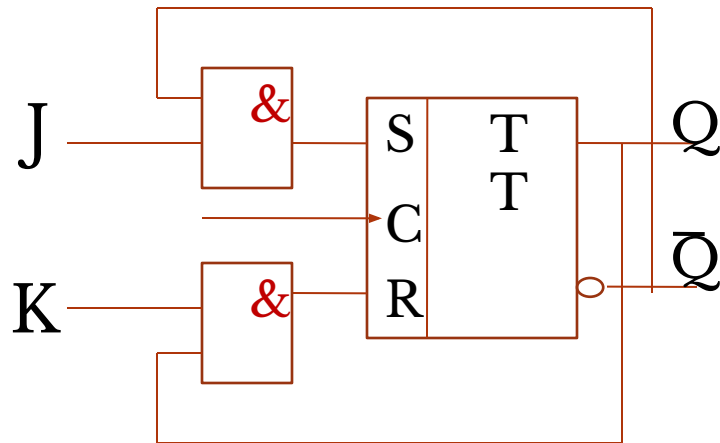
На основе RS-триггеров можно построить другие триггеры, например, D-триггер, JK-триггер, T-триггер.

## D-триггер



Соответствует RS-триггеру, работающему только в режиме установки, т.е. с комбинациями сигналов  $R=0, S=1$ , либо  $R=1, S=0$ . Для организации хранения используется вход C (при  $C=0$ ).

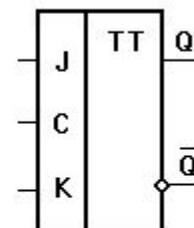
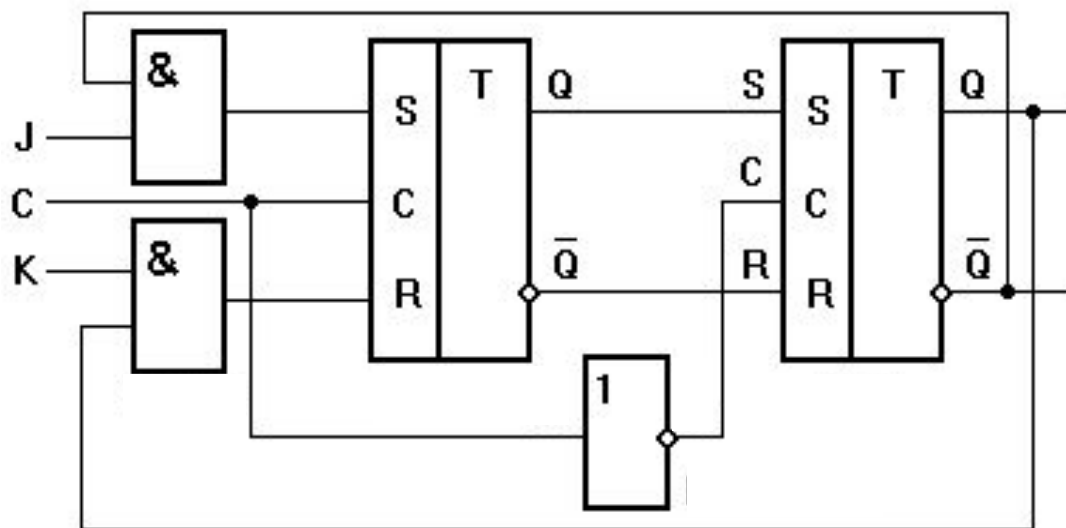
# JK-триггер



Входы J и K соответствуют входам S и R RS-триггера. Но в отличие от RS-триггера в JK-триггере сигналы 1 могут прийти одновременно на все входы (C, J и K). При этом состояние триггера изменится на противоположное.

C	S	R	Q	$\bar{Q}$	Режим работы
0	$\forall$	$\forall$	Q	$\bar{Q}$	Хранение пред. состояния
1	1	0	1	0	Запись 1
1	0	1	0	1	Запись 0
1	1	1	-	-	Инверсия пред. состояния

# JK-триггер



C	S	R	Q	Q	Режим работы
0			Q		Хранение пред. состояния
1	1	0	1	0	Запись 1
1	0	1	0	1	Запись 0
1	1	1	-	-	Инверсия пред. состояния

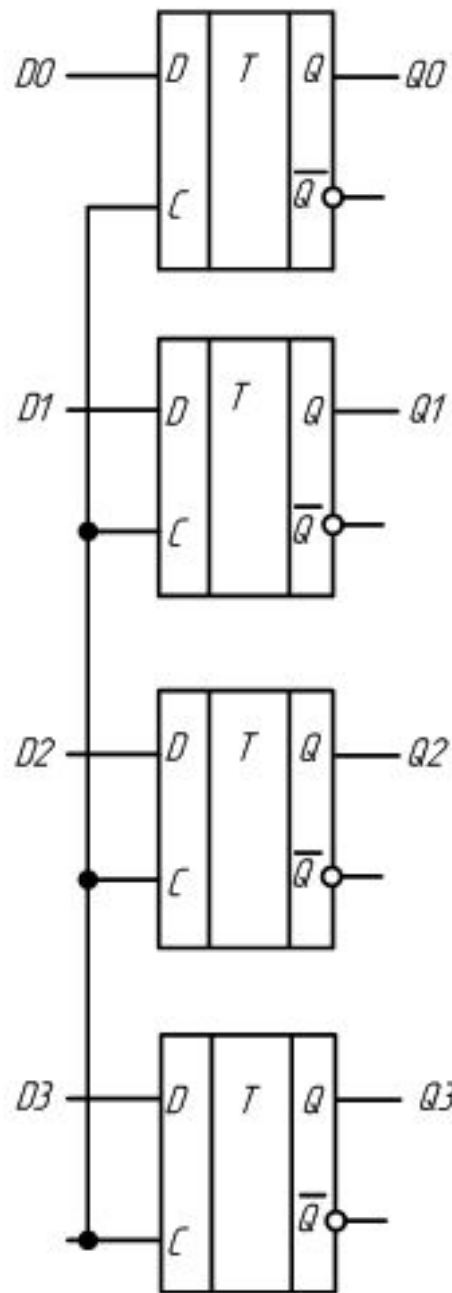
# Регистры

- Регистры предназначены для хранения и преобразования многоразрядных двоичных чисел. Для запоминания отдельных разрядов числа могут применяться триггеры различных типов. Одиночный триггер можно считать одnorазрядным регистром.
- Занесение информации в регистр называется операцией записи. Операция выдачи информации из регистра — считывание.
- Перед записью информации в регистр, его необходимо обнулить.

# Классификация регистров по способу ввода/вывода информации

- параллельные (регистры хранения) — информация вводится и выводится одновременно по всем разрядам;
- последовательные (регистры сдвига) — информация бит за битом «проталкивается» через регистр и выводится также последовательно;
- комбинированные — параллельный ввод и последовательный вывод (и наоборот).

# Параллельный регистр



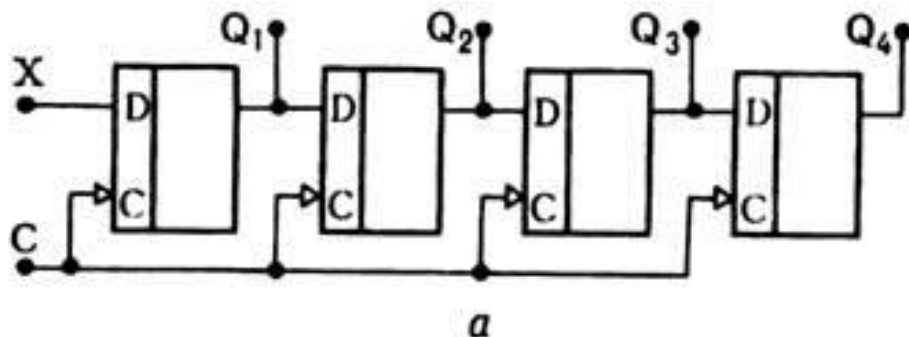
Для записи информации в регистр на его входных выводах (**D0-D3**) нужно установить логические уровни, после чего на вход синхронизации (**C**) подать разрешающий импульс — логическую единицу.

После этого на выходах **Q0-Q3** появится записанное слово.

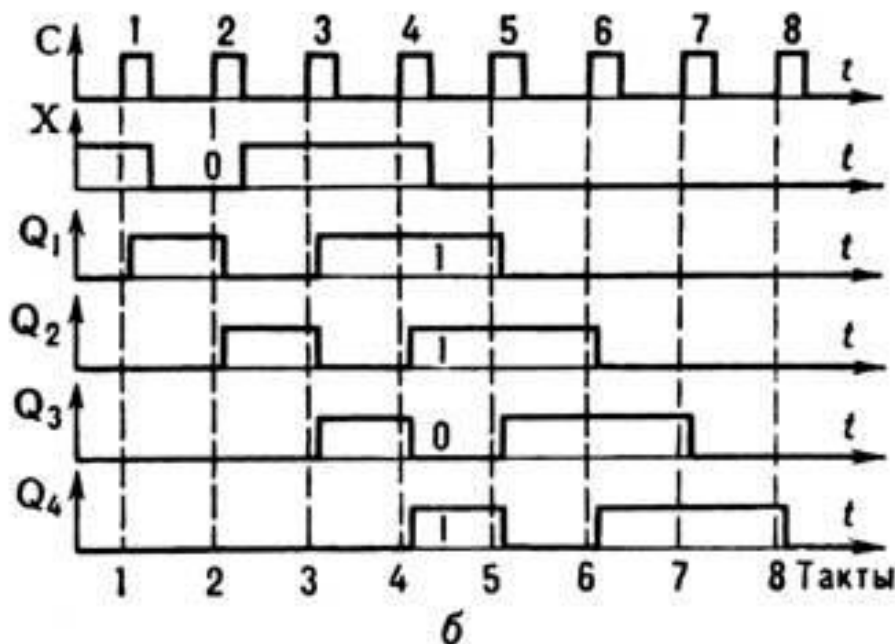
Регистры запоминают входные сигналы только в момент времени, определяемый сигналом синхронизации.

Схема параллельного регистра

# Регистр с последовательным вводом информации



По приходу синхроимпульса С в первый триггер записывается код (0 или 1), находящийся в этот момент на его D-входе. Каждый следующий триггер по этому же синхроимпульсу переключается в состояние, в к-ром в этот момент находился предыдущий триггер.



Это происходит потому, что выходное состояние триггера изменяется с некоторой задержкой относительно фронта синхроимпульса, равной времени срабатывания триггера. Следовательно, при последоват. соединении триггеров каждый синхроимпульс сдвигает код числа в регистре на один разряд, и поэтому для записи n -разрядного кода требуется n синхроимпульсов.

# Самостоятельная работа

1. Упростить функцию аналитически и построить для нее логическую схему на элементах

## Вариант 1

Шеффера

$$f(x,y,z)=(y\sim\bar{X})\rightarrow\bar{Y}\downarrow z.$$

## Вариант 2

Пирса

$$f(x,y,z)=(x+y)\sim(\bar{X}+z)$$

## Вариант 3

Шеффера

$$f(x,y,z)=(y\oplus\bar{X})\rightarrow\bar{Y}\cdot z.$$

2. Для функции 4-х переменных найти СДНФ, упростить с помощью карт Карно и построить логическую схему на элементах «И», «ИЛИ», «НЕ»

3. Начертить схему и описать работу

## Вариант 1

RS-триггера на  
элементах Пирса

## Вариант 2

RS-триггера на  
эл-тах Шеффера

## Вариант 3

Асинхронного RS-  
триггера



# Самостоятельная работа

1. Упростить функцию аналитически и построить для нее логическую схему на элементах. Построить СДНФ.

## Вариант 1

Шеффера

$$f(x,y,z)=(y\oplus\bar{x})\rightarrow(\bar{y}\cdot z)$$

$$f(x,y,z)=\bar{x}y^+$$

$$xz$$

## Вариант 2

Пирса

$$f(x,y,z)=(x+y)\sim(\bar{x}+z)$$

$$f(x,y,z)=\bar{x}y+x$$

$$yz$$

## Вариант 3

Шеффера

$$f(x,y,z)=(y\sim\bar{x})\rightarrow(\bar{y}\downarrow z)$$

$$f(x,y,z)=\bar{y}z^+$$

$$xz$$

2. Для функции 4-х переменных найти СДНФ, упростить с помощью карт Карно и построить логическую схему на элементах «И», «ИЛИ», «НЕ»

3. Построить СПНФ и схему на элементах «исключающее ИЛИ» для данной функции. Построить СКНФ.

## Вариант 1

$$f(x,y,z)=(x+y)\sim(\bar{x}+z)$$

$$f(x,y,z)=\bar{x}y^+$$

$$xz$$

## Вариант 2

$$f(x,y,z)=(y\oplus\bar{x})\rightarrow(\bar{y}\cdot z)$$

$$f(x,y,z)=\bar{x}y+x$$

$$yz$$

## Вариант 3

$$f(x,y,z)=(y\sim\bar{x})\rightarrow(\bar{y}\downarrow z)$$

$$f(x,y,z)=\bar{y}z^+$$

$$xz$$

## Вариант 1

$x$	$y$	$z$	$t$	$f(x,y,z,t)$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

## Вариант 2

$x$	$y$	$z$	$t$	$f(x,y,z,t)$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

## Вариант 3

$x$	$y$	$z$	$t$	$f(x,y,z,t)$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

# Использованные источники

- Спирина М. С., Спирин П. А. Дискретная математика: Учебник для студентов учр. Среднего проф. Образования.- М.:Издат. Центр «Академия», 2014.
- Москинова Г. И. Дискретная математика: Учебное пособие,-М.:Логос, 2012
- Игошин В.И. Задачник-практикум по математической логике. – М.: Издательский центр “Академия”, 2013.
- Игошин В.И. Математическая логика и теория алгоритмов. – М.: Издательский центр “Академия”, 2013.
- Чашина Е.А. Комплект КОС учебной дисциплины ЕН.02. Элементы математической логики основной образовательной программы (ОПОП). – ГБОУ СПО «Прокопьевский политехнический техникум»
- И.А. Каверина. Курс лекций по элементам математической логики
- [window.edu.ru>resource/315/24315](http://window.edu.ru/resource/315/24315)
- [edu.ru>modules.php](http://edu.ru/modules.php)
- [alleng.ru>d/math/math163.htm](http://alleng.ru/d/math/math163.htm)